

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-229778

(43)Date of publication of application : 05.09.1997

(51)Int.Cl.

G01K 7/01

(21)Application number : 08-037638

(71)Applicant : HITACHI LTD
HITACHI TOBU SEMICONDUCTOR
LTD

(22)Date of filing : 26.02.1996

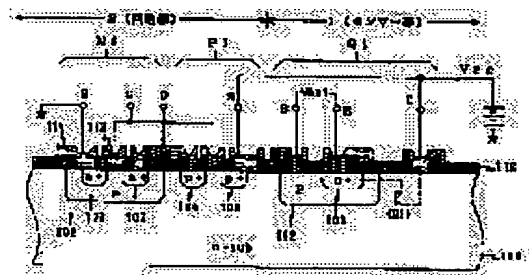
(72)Inventor : KIKUCHI SAKAE

(54) INTEGRATED-CIRCUITED TEMPERATURE SENSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To attempt to improve the linearity and reproducibility by constituting a measuring circuit of a MOS transistor and constituting a sensor of a parasitic bipolar transistor or parasitic p-n junction diode formed from the element structure of a MOS transistor.

SOLUTION: A p-channel MOS transistor P1 is formed in the p-type source/ drain diffused layer 104 on an n-type semiconductor substrate 101. An n-channel MOS transistor N1 is formed in the n-type source/drain region 103 on a p-type well region 102. A temperature sensor 1 is formed by using the region 102 and region 103, and a parasitic n-p-n bipolar transistor Q1 in which the substrate 101 is used as a collector, the region 102 is used as a base and the region 103 is used as an emitter is formed. The change amount of the voltage between the base and the emitter is detected as a temperature change amount. With the thus formed, the sensor which can be manufactured by a standard MOS process and has excellent linearity and reproducibility can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平9-229778

(43)公開日 平成9年(1997)9月5日

技術表示箇所

審査請求 未請求 請求項の数 8 OL (全 9 頁)

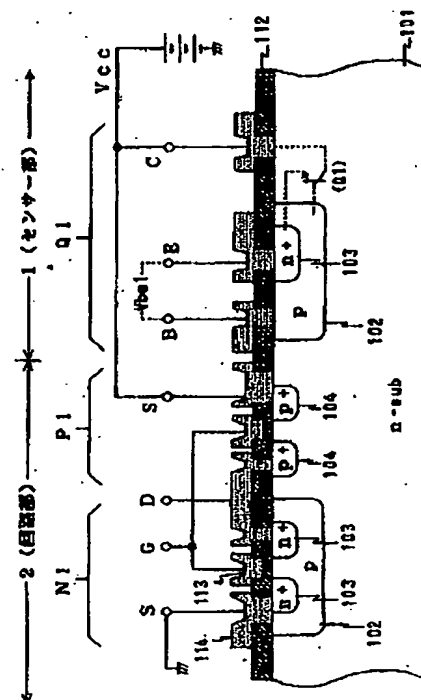
(74)代理人 弁理士 大日方 富雄

(54) 【発明の名称】 IC化温度センサ

(57) 【要約】

【課題】 標準MOSプロセスで製造可能な低コストな構成でもって、直線性や再現性等の測定特性および低消費電力性にすぐれたモノリシック型のIC化温度センサを得る。

【解決手段】 温度センサ部と測定回路部とが単一半導体基板に集積形成されたＩＣ化温度センサにあって、測定回路部をＭＯＳトランジスタで構成するとともに、温度センサ部をＭＯＳトランジスタの素子構造によって形成される寄生バイポーラ・トランジスタまたは寄生ｐｎ接合ダイオードで構成する。



【特許請求の範囲】

【請求項1】 バイポーラ・トランジスタまたはpn接合ダイオードを用いた温度センサ部と、このセンサ部に現れる温度電気変化を検出して出力する測定回路部とが単一半導体基板に集積形成されたIC化温度センサであって、上記測定回路部をMOSトランジスタで構成するとともに、上記センサ部をMOSトランジスタの素子構造によって形成される寄生バイポーラ・トランジスタまたは寄生pn接合ダイオードで構成したことを特徴とするIC化温度センサ。

【請求項2】 MOSトランジスタのソース／ドレイン拡散層と、このソース／ドレイン拡散層が形成されるウェル領域と、このウェル領域が形成される半導体基板との間に形成される寄生バイポーラ・トランジスタを用いてセンサ部を形成したことを特徴とする請求項1に記載のIC化温度センサ。

【請求項3】 MOSトランジスタのソース／ドレイン拡散層と、このソース／ドレイン拡散層が形成されるウェル領域との間に形成されるpn接合ダイオードをセンサ部としたことを特徴とする請求項1または2に記載のIC化温度センサ。

【請求項4】 測定回路部はpチャンネルMOSトランジスタとnチャンネルMOSトランジスタの相補回路を用いて構成されていることを特徴とする請求項1から3のいずれかに記載のIC化温度センサ。

【請求項5】 センサ部は素子のサイズおよび／または並列接続数を違えることによって実効的な面積が互いに異なられた一対のpn接合部を有し、測定回路部は各pn接合部に現れる温度電気変化の差を検出して出力することを特徴とする請求項1から4のいずれかに記載のIC化温度センサ。

【請求項6】 測定回路部は、実効的な接合面積が互いに異なる一対のpn接合部に互いに同じ大きさの定電流を通電する定電流回路と、各pn接合部に現れる順方向電圧の差を検出して出力する差動演算増幅回路とを有することを特徴とする請求項1から5のいずれかに記載のIC化温度センサ。

【請求項7】 センサ部は、コレクタまたはエミッタのいずれか一方が半導体基板と同電位に共通接続された一対の寄生バイポーラ・トランジスタによって形成されていることを特徴とする請求項1から6のいずれかに記載のIC化温度センサ。

【請求項8】 センサ部は、アノードまたはカソードのいずれか一方が半導体基板と同電位に共通接続された一対の寄生pn接合ダイオードによって形成されていることを特徴とする請求項1から7のいずれかに記載のIC化温度センサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、IC化温度セン

サ、さらにはセンサ部と測定回路部を単一半導体基板に集積形成したモノリシック型のIC化温度センサに適用して有効な技術に関するものであって、たとえば温度値を電圧値に変換して出力する直読温度計に利用して有効な技術に関するものである。

【0002】

【従来の技術】 モノリシック型のIC化温度センサとしては、センサ部と測定回路部を共にバイポーラ・トランジスタを用いて構成したものが知られている（たとえば、CQ出版社刊行「トランジスタ技術 1990年10月号」469ページ参照）。

【0003】 バイポーラ・トランジスタのベース・エミッタ間はpn接合をなしているが、このpn接合は温度特性をもつことが知られている。このベース・エミッタ間のpn接合部に現れる順方向電圧いわゆるベース・エミッタ間電圧は、コレクタ電流とベース電流の比などの他の条件を一定にすれば、温度に応じて負方向に直線的に変化する温度特性を呈する。この温度特性は再現性や安定性等も良好であるため、温度センサとしての利用にも適している。さらに、上記pn接合は、温度センサとしての特性上の利点に加えて、バイポーラ・プロセスによってバイポーラ・トランジスタと一緒にIC化することができるといふ利点がある。すなわち、センサ部と測定回路部を共にバイポーラ・トランジスタで形成することにより、両者を単一半導体基板に集積形成したモノリシック型のIC化温度センサを比較的簡単に構成することができる。

【0004】

【発明が解決しようとする課題】 しかしながら、上述した技術には、次のような問題のあることが本発明者らによってあきらかとされた。

【0005】 すなわち、従来のIC化温度センサでは、上述したように、バイポーラ型のモノリシックICとして構成され、センサ部と測定回路部は共にバイポーラ・トランジスタを用いて構成されている。しかし、そのバイポーラ・トランジスタは電流で制御される電流素子であるために、定常的に消費される電流が概して大きく、このことが上記IC化温度センサーの低消費電力化をはかる上で大きな障害となっていた。

【0006】 ここで、本発明者は、IC化温度センサーの消費電流を低減させるために、MOSプロセスによって製造されるMOS型あるいはCMOS型のモノリシックICの採用を検討した。MOSトランジスタは電圧で制御される電圧素子であるため、これを用いた回路の消費電流は、バイポーラ・トランジスタを用いた回路よりも大幅に低減させることが可能となる。

【0007】 しかし、標準のMOSプロセスではバイポーラ・トランジスタを形成することができない。このため、測定回路部についてはMOSトランジスタによって低消費電力のものを構成することができるが、直線性や

3

再現性等の特性にすぐれたセンサ部を構成することが困難になるという問題が生じる。この場合、単一半導体基板にMOSトランジスタとバイポーラ・トランジスタを集積するBi-CMOSプロセスのICが考えられる。しかし、このBi-CMOSプロセスは、標準MOSプロセスに比べて工程が非常に多くかつ複雑であるため、コスト面で著しく不利となる問題が生じる。

【0008】本発明の目的は、標準MOSプロセスで製造可能な低コストな構成でもって、直線性や再現性等の測定特性および低消費電力性にすぐれたモノリシック型のIC化温度センサを実現する、という技術を提供することにある。

【0009】本発明の前記ならびにそのほかの目的と特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0011】すなわち、バイポーラ・トランジスタまたはpn接合ダイオードを用いたセンサ部と、このセンサ部に現れる温度電気変化を検出して出力する測定回路部とが単一半導体基板に集積形成されたIC化温度センサにあって、上記測定回路部をMOSトランジスタで構成するとともに、上記センサ部をMOSトランジスタの素子構造によって形成される寄生バイポーラ・トランジスタまたは寄生pn接合ダイオードで構成する、というものである。上述した手段によれば、直線性や再現性等にすぐれた特性を呈する温度センサ部と、このセンサ部に現れる温度電気変化を検出する測定回路部とを、標準MOSプロセスだけで単一半導体基板に集積形成させることができる。

【0012】これにより、標準MOSプロセスで製造可能な低コストな構成でもって、直線性や再現性等の測定特性および低消費電力性にすぐれたモノリシック型のIC化温度センサを実現する、という目的が達成される。

【0013】

【発明の実施の形態】以下、本発明の好適な実施態様を図面を参照しながら説明する。

【0014】なお、図において、同一符号は同一あるいは相当部分を示すものとする。

【0015】図1は本発明の技術が適用されたIC化温度センサの要部における素子構造の概略構成を示す。

【0016】同図に示すIC化温度センサは、MOSプロセスで製造されるモノリシックICであって、101はn型(n導電型)シリコン半導体基板(n-sub)、102はp型ウェル領域、103はn型ソース/ドレイン拡散層、104はp型ソース/ドレイン拡散層、112は表面酸化膜、113はゲート電極、114は配線、Vccは電源電位である。このモノリシックI

4

Cに温度センサ部1と測定回路部2が集積形成されている。

【0017】測定回路部2では、n型半導体基板101上のp型ソース/ドレイン拡散層104にてpチャンネルMOSトランジスタP1が形成されている。また、p型ウェル領域102上のn型ソース/ドレイン領域103にてnチャンネルMOSトランジスタN1が形成されている。このnチャンネルMOSトランジスタN1とpチャンネルMOSトランジスタP1は、図ではそれぞれ一つだけ示してあるが、実際は、同一構成のpチャンネルMOSトランジスタおよびnチャンネルMOSトランジスタが多数形成され、これらを用いて低消費電流型の測定回路が形成されている。この場合、一部のpチャンネルMOSトランジスタP1とnチャンネルMOSトランジスタN1は相補回路いわゆるCMOS回路を形成し、このCMOS回路を用いて測定回路を構成することで、その測定回路の一層の低消費電流化をはかっている。

【0018】温度センサ部1は、測定回路部2のpチャンネルMOSトランジスタP1と一緒にMOSプロセスにより形成されるp型ウェル領域102とn型ソース/ドレイン拡散層103を用いて構成されている。つまり、温度センサ部1にはMOSトランジスタの素子構造が形成されている。このMOSトランジスタの素子構造には、n型半導体基板101をコレクタとし、p型ウェル領域102をベースとし、n型ソース/ドレイン拡散層103をエミッタとする、一種の寄生npnバイポーラ・トランジスタQ1が形成される。この寄生npnバイポーラ・トランジスタQ1のベース・エミッタ間電圧Vbe1は、通常のバイポーラ・トランジスタのそれと同じく一定の温度特性を有する。この温度特性を利用して温度センサ部1が形成されている。上記測定回路部2は、そのベース・エミッタ間電圧Vbe1の変化量を温度の変化量として検出する。

【0019】ここで、注目すべきことは、上記温度センサ部1がバイポーラ・トランジスタのベース・エミッタ間電圧の温度特性を利用して形成されることにより、温度センサとして直線性や再現性等にすぐれた特性を有しているとともに、そのセンサ部1がMOSトランジスタの素子構造を利用して形成されていることである。つまり、直線性や再現性等にすぐれた特性を呈する温度センサ部1と、このセンサ部1に現れる温度電気変化を検出する測定回路部2とを、標準MOSプロセスだけで単一半導体基板に集積形成させることができるとともに、測定回路部2をMOSトランジスタで構成することにより大幅な低消費電流化をはかることができる。これにより、標準MOSプロセスで製造可能な低コストな構成でもって、直線性や再現性等の測定特性および低消費電力性にすぐれたモノリシック型のIC化温度センサが実現される。

【0020】図2は本発明によるIC化温度センサの別の素子構成例を示す。

【0021】図1に示したものの相違点について説明すると、同図に示すIC化温度センサは、p型半導体基板(p-sub)を用いた標準MOSプロセスで製造される構成となっている。すなわち、nチャンネルMOSトランジスタN1はp型半導体基板101上のn型ソース/ドレイン拡散層103を用いて形成され、pチャンネルMOSトランジスタP1はn型ウェル領域102上のp型ソース/ドレイン拡散層104を用いて形成されている。

【0022】測定回路部2は、上記nチャンネルMOSトランジスタN1とpチャンネルMOSトランジスタP1を用いて構成される。温度センサ部1は、p型半導体基板101をコレクタとし、n型ウェル領域102をベースとし、n型ソース/ドレイン拡散層104をエミッタとする、npn型の寄生バイポーラ・トランジスタQ1によって形成される。

【0023】なお、温度センサ部1としての寄生バイポーラ・トランジスタQ1は、測定回路部2の回路構成上の都合により、半導体基板101側をエミッタとし、ソース/ドレイン拡散層104をコレクタとする、いわゆるインバーテッド・バイポーラ・トランジスタとしての使い方も可能である。インバーテッド・バイポーラ・トランジスタは、増幅作用を行なわせる上では不利な使い方であるが、そのベース・エミッタ間の温度特性を利用する場合には、とくに支障は生じない。

【0024】図3は本発明によるIC化温度センサのさらに別の素子構成例を示す。

【0025】同図に示すIC化温度センサは、図2に示したものと同様、p型半導体基板101を使用しているが、温度センサ部1は、MOSトランジスタのp型ソース/ドレイン拡散層104をアノードAとし、このソース/ドレイン拡散層104が形成されるn型ウェル領域102をカソードKとする、寄生pn接合ダイオードD1を利用して形成されている。この寄生pn接合ダイオードD1の順方向電圧Vf1は、npnバイポーラ・トランジスタのベース・エミッタ間電圧と同等の温度特性を有しており、図1または図2の場合と同様、直線性や再現性等にすぐれた特性を呈する温度センサ部1を形成することができる。

【0026】図4は、上述したIC化温度センサの要部における製造プロセス段階を示す。同図において、

(A) (B) (c)はそれぞれ同一の工程段階を示すが、このように、上述したIC化温度センサでは、温度センサ部1の素子と測定回路部2の素子がそれぞれ標準のMOSプロセスによって同時に形成することができる。

【0027】図5は、寄生バイポーラ・トランジスタを利用したIC化温度センサの具体的な回路構成例を示

す。

【0028】同図において、温度センサ部1は、MOSトランジスタの素子構造を用いた一対の寄生npnバイポーラ・トランジスタQ1、Q2により構成されている。この温度センサ部1をなす一対の寄生npnバイポーラ・トランジスタQ1、Q2は、その素子サイズおよび/または並列接続数を違えることによって、そのベース・エミッタ間の実効的なpn接合面積が互いに異ならされている。つまり、Q2は、Q1に対してn倍($n > 1$)のエミッタ面積を持たせられている。

【0029】測定回路部2は、差動演算増幅回路A1、A2、定電流回路21、抵抗R、R1~R4などに構成されている。差動演算増幅回路A1、A2および定電流回路21はそれぞれpチャンネルMOSトランジスタとnチャンネルMOSトランジスタを用いて構成されている。また、詳細な図示は省略するが、一部のpチャンネルMOSトランジスタとnチャンネルMOSトランジスタはCMOS回路を形成することで、回路電流の一層の低減化がはかられている。

【0030】センサ部1をなす寄生npnバイポーラ・トランジスタQ1、Q2は、各コレクタが半導体基板と同電位の電源電位Vccに接続されるとともに、各エミッタが抵抗R、Rを介して共通接続され、この共通接続点(ノード)が定電流回路21を介して接地基準電位GNDに接続されている。測定回路部2は、Q1、Q2に一定電流I1を流しながら、Q1、Q2の各ベース・エミッタ間電圧Vbe1、Vbe2にそれぞれに現れる温度電気変化の差を検出し、この検出内容を温度検出電圧Voとして出力する。

【0031】さらに、上記センサ部1は、寄生バイポーラ・トランジスタQ1、Q2の各コレクタが半導体基板と同電位の電源電位Vccに接続されているが、これはMOSトランジスタの素子構造に寄生するバイポーラ・トランジスタのコレクタまたはエミッタ領域が半導体基板101に形成されることを利用するためである。つまり、図1または図2に示した寄生バイポーラ・トランジスタを温度センサ部1として使用するために、コレクタまたはエミッタを半導体基板と同電位の電源電位Vccに接続する構成としている。

【0032】図6は、寄生ダイオードを利用したIC化温度センサの具体的な回路構成例を示す。

【0033】同図において、温度センサ部1は、MOSトランジスタの素子構造を用いた一対の寄生pn接合ダイオードD1、D2により構成されている。この温度センサ部1をなす一対の寄生pn接合ダイオードD1、D2は、その素子サイズおよび/または並列接続数を違えることによって、その実効的なpn接合面積が互いに異ならされている。つまり、D2は、D1に対してn倍($n > 1$)のpn接合面積を持たせられている。

【0034】測定回路部2は、差動演算増幅回路A1

1, A12, A2, A3、定電流回路21, 22、抵抗R, R1~R4などにより構成されている。差動演算増幅回路および定電流回路は、上述の場合と同様、それぞれpチャンネルMOSトランジスタとnチャンネルMOSトランジスタを用いて構成され、一部はCMOS回路とすることにより回路電流の一層の低減化がはかられている。

【0035】測定回路部2は、センサ部1をなす寄生pn接合ダイオードD1, D2に一定電流I1, I2を通電しながら、各ダイオードD1, D2の順方向電圧Vf1, Vf2にそれぞれに現れる温度電気変化の差を検出し、この検出内容を温度検出電圧Voとして出力する。

図7は、寄生ダイオードを利用したIC化温度センサの別の回路構成例を示す。

【0036】同図に示す回路例では、温度センサ部1をなす一対の寄生pn接合ダイオードD1, D2への定電流I1, I2の通電を、一方(D1)は電源電位Vcc側から、他方(D2)は接地基準電位GND側からそれぞれ行なわせるようにしてある。これにより、測定回路部2の構成を、図6の場合よりも簡略化させることができる。

【0037】以上、本発明者によってなされた発明を実施態様にもとづき具体的に説明したが、本発明は上記実施態様に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、寄生ダイオードのアノードまたはカソードを半導体基板と同電位に共通接続して使用する回路構成とする場合は、そのアノードまたはカソードを共通のウェル領域に形成することが可能である。つまり、一つのウェル領域に複数の寄生pn接合ダイオードを形成させることができる。

【0038】以上の説明では主として、本発明者によってなされた発明をその背景となった利用分野である単体のIC化温度センサに適用した場合について説明したが、それに限定されるものではなく、たとえば他の機能を持つIC内に組み込んで使用される用途にも適用できる。

【0039】

【発明の効果】本願において開示される発明のうち、代

表的なものの概要を簡単に説明すれば、下記のとおりである。

【0040】すなわち、標準MOSプロセスで製造可能な低コストな構成でもって、直線性や再現性等の測定特性および低消費電力性にすぐれたモノリシック型のIC化温度センサを実現することができる、という効果が得られる。

【図面の簡単な説明】

【図1】本発明の技術が適用されたIC化温度センサの要部における素子構造の概略構成図

【図2】本発明によるIC化温度センサの別の素子構成例を示す図

【図3】本発明によるIC化温度センサのさらに別の素子構成例を示す図

【図4】本発明によるIC化温度センサの要部における製造プロセス段階を示す図

【図5】寄生バイポーラ・トランジスタを利用したIC化温度センサの回路構成例を示す図

【図6】寄生ダイオードを利用したIC化温度センサの回路構成例を示す図

【図7】寄生ダイオードを利用したIC化温度センサの別の回路構成例を示す図

【符号の説明】

1 温度センサ部

2 測定回路部

101 n型(n導電型型)シリコン半導体基板(n-sub)

102 p型ウェル領域

103 n型ソース/ドレイン拡散層

104 p型ソース/ドレイン拡散層

112 表面酸化膜

113 ゲート電極

114 配線

Vcc 電源電位

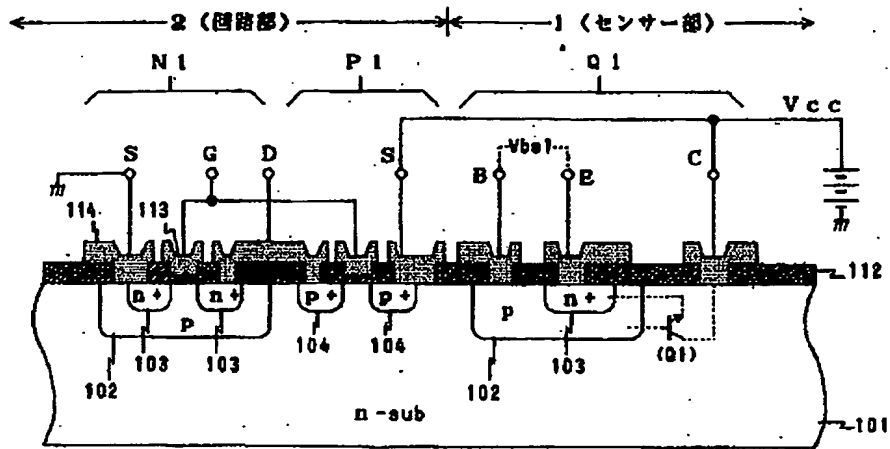
P1 pチャンネルMOSトランジスタ

N1 nチャンネルMOSトランジスタ

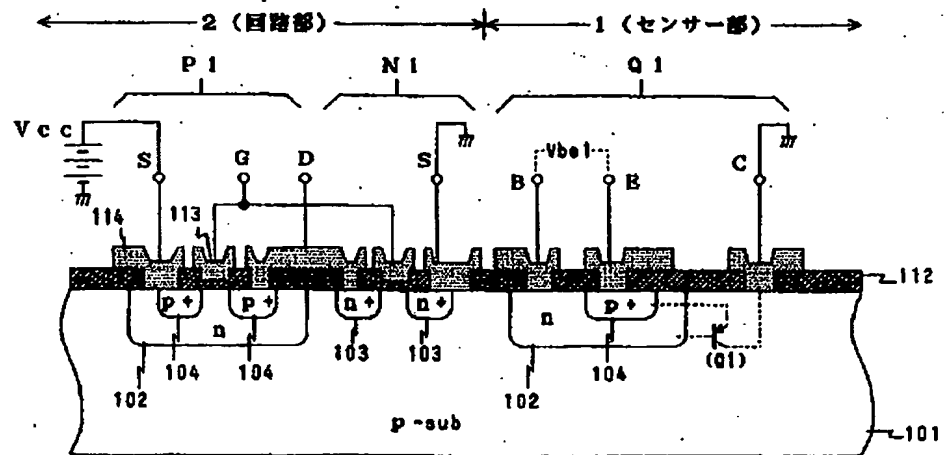
Q1, Q2 寄生バイポーラ・トランジスタ

D1, D2 寄生pn接合ダイオード

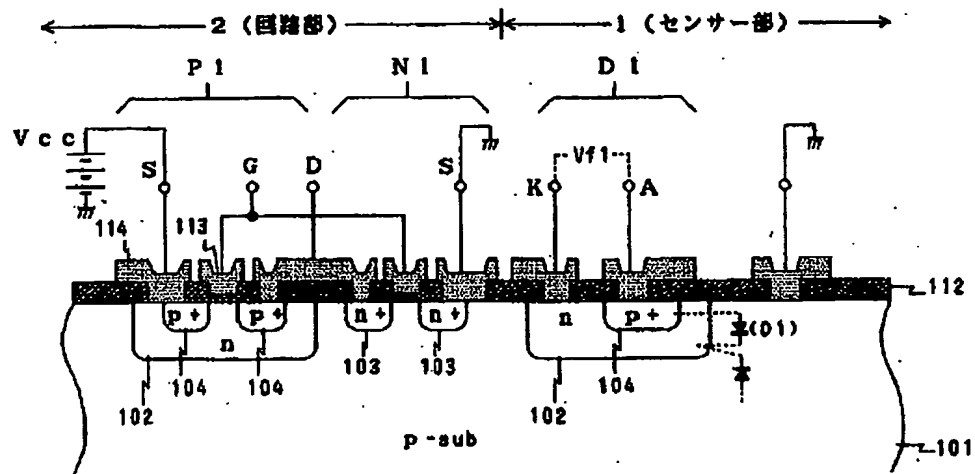
【図1】



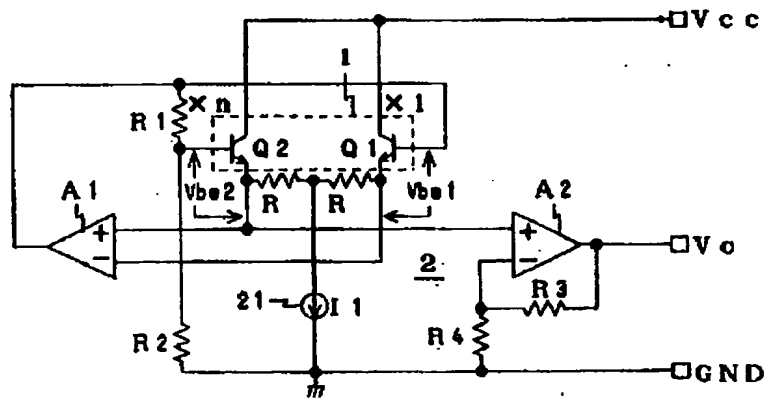
【図2】



【図3】

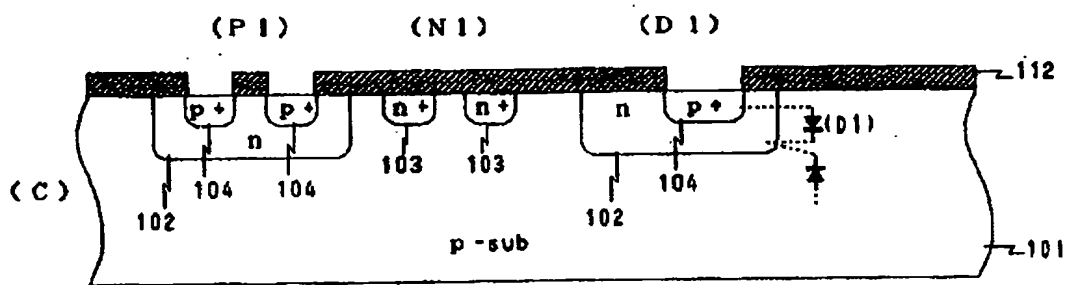


【図5】

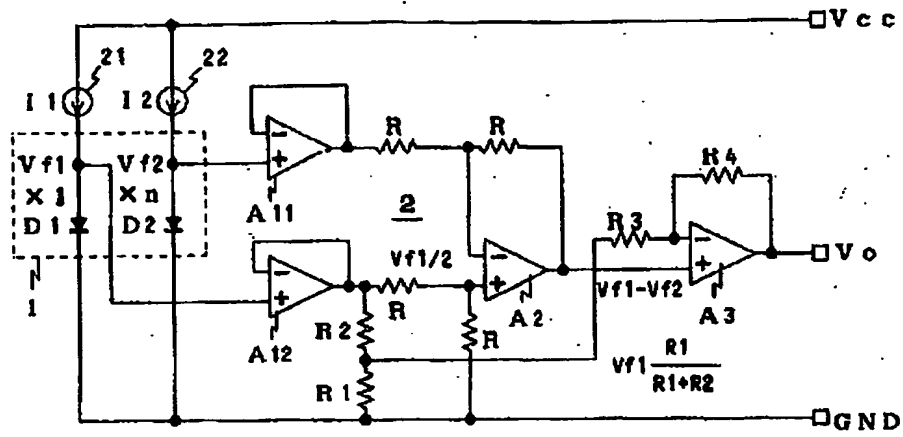


$$V_o = \left\{ \frac{R_2}{R_1} (V_{be1} - V_{be2}) - V_{be2} \right\} \frac{R_3 + R_4}{R_4}$$

(P 1) (N 1) (D 1)

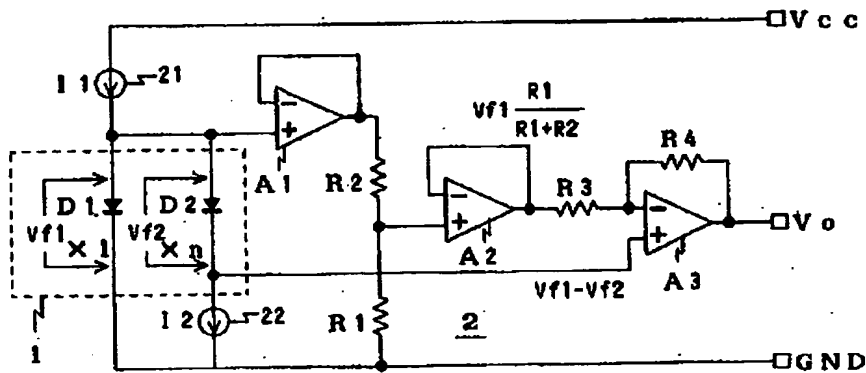


【図6】



$$V_o = (V_{f1} - V_{f2}) \left(1 + \frac{R_4}{R_3} \right) - V_{f1} \frac{R_1 R_4}{(R_1 + R_2) R_3}$$

【図7】



$$V_o = (V_{f1} - V_{f2}) \left(1 + \frac{R_4}{R_3} \right) - V_{f1} \frac{R_1 R_4}{(R_1 + R_2) R_3}$$